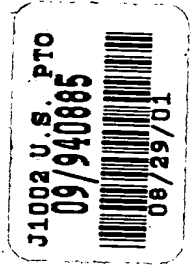


#3
11-4-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant(s): Masahiro KAWASAKI, et al
Serial No.:
Filed: August 29, 2001
Title: ACTIVE MATRIX DISPLAY DEVICE
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

August 29, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2001-106611 filed April 5, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

William I. Solomon
Registration No. 28,565

WIS/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1002 U.S. PRO
09/940865



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月 5日

出 願 番 号

Application Number:

特願2001-106611

出 願 人

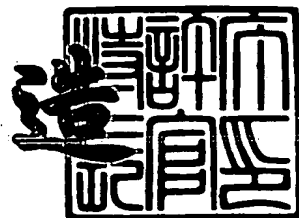
Applicant(s):

株式会社日立製作所

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073659

【書類名】 特許願

【整理番号】 1100020981

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

【発明の名称】 アクティブマトリクス型表示装置

【請求項の数】 13

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号
 株式会社 日立製作所 日立研究所内

 【氏名】 川崎 昌宏

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号
 株式会社 日立製作所 日立研究所内

 【氏名】 安藤 正彦

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号
 株式会社 日立製作所 日立研究所内

 【氏名】 若木 政利

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置

【特許請求の範囲】

【請求項 1】

スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、前記保護絶縁膜側の半導体層表面が多孔質であることを特徴とした、アクティブマトリクス型表示装置。

【請求項 2】

前記多孔質部の深さは、前記保護絶縁膜側の半導体層表面から 1 nm 以上、30 nm 以内であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】

前記半導体層のうち、前記保護絶縁膜側の半導体層表面から深さ 1 nm 以上、30 nm 以内の多孔質領域において、孔の占める体積が 5 % 以上であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記多孔質部における孔の半径の平均値が 5 nm 以下であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記半導体層のうち、前記保護絶縁膜側の半導体層表面から深さ 30 nm 以内の多孔質領域に 0.01 原子%以上 0.1 原子%未満のヘリウムが含有されることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 6】

前記保護絶縁膜が有機性樹脂であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 7】

前記スイッチング素子において、保護絶縁膜上に形成された画素電極が前記ス

スイッチング素子と重畳することを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。

【請求項8】

前記スイッチング素子において、保護絶縁膜上に形成された共通電極が前記スイッチング素子と重畳することを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。

【請求項9】

前記スイッチング素子上に設置した第2のゲート電極（バックゲート電極）に $-40\text{V} \sim +40\text{V}$ の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の10倍以下であることを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。

【請求項10】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタクト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記不純物半導体層と前記半導体層の一部をエッチングして除去する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記半導体層表面にイオンを照射して前記半導体表面を多孔質化する工程、

前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とした、薄膜トランジスタの製造方法。

【請求項11】

基板のドレイン電極及びソース電極間に露出した、前記半導体層表面に照射するイオンがHeイオンであることを特徴とする、請求項10に記載の薄膜トランジスタの製造方法。

【請求項12】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタク

ト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記コンタクト層と前記半導体層の一部をエッチングして除去する工程、

前記工程後、基板のドレイン電極及びソース電極間に露出した前記半導体層表面を陽極化成法により多孔質化する工程、

前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とする、薄膜トランジスタの製造方法。

【請求項 1 3】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタクト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記コンタクト層と前記半導体層の一部をエッチングして除去する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記半導体層表面に、分子量の異なる 2 種類の高分子を結合させた自己組織化レジストを前記半導体層表面に塗布し、アニール後自己組織化した高分子混合物中の微粒子と、その微粒子の下の半導体層とをエッチングし、前記半導体層表面を多孔質化する工程、

前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とする、薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリクス型表示装置および薄膜トランジスタの製造方

法に関する。

【0002】

【従来の技術】

従来、例えば、特開平9-96836号ではAr等の不活性元素を用いたプラズマ処理を行い、バックチャネル界面付近にダメージを与え、0.1から1.0原子%のArをバックチャネル領域に含有させることにより、界面準位密度を増加させてオフ電流を低減する効果を得ている。

【0003】

また、特開平11-274514号では非晶質シリコンを乾式エッチングした後、ヘリウムプラズマ工程を行うことにより、薄膜トランジスタの特性を向上させている。

【0004】

【発明が解決しようとする課題】

従来の液晶表示装置では、保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いた場合や、配線や画素電極を薄膜トランジスタの上部に設けた場合において、保護絶縁膜中の蓄積電荷や反射電極の電位の影響を受けてオフ電流が増加し、表示特性が劣化するという課題があった。

【0005】

本発明は、塗布型保護絶縁膜中の蓄積電荷や配線及び画素電極の電位に対して安定なアクティブマトリクス型液晶表示装置を提供するものである。

【0006】

【課題を解決するための手段】

本発明の一つの見方によれば、本発明の特徴は、スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、ゲート電極と反対側の半導体層表面部分が多孔質の構造であることを特徴としたアクティブマトリクス型表示装置を提供する。本発明の上記特徴およびその他の特徴は、以下の記載により説明される。

【0007】

【発明の実施の形態】

スイッチング素子を用いたアクティブマトリクス型液晶表示装置は、CRTと同等の高画質でCRTよりも低消費電力及び小型であることから、パソコン、ワークステーション、テレビなどのモニタに使用されている。スイッチング素子としては、生産性とスイッチ性能に優れた薄膜トランジスタが用いられている。薄膜トランジスタの構造と薄膜トランジスタアレイ基板の製造工程の一例について説明する。透明な絶縁性ガラス基板上に金属薄膜を成膜し、レジストパターンをマスクにしてウェットエッチング法によってゲート電極を形成する。次に、前記ゲート電極上に窒化シリコン等の絶縁膜、アモルファスシリコン等の半導体層、不純物として燐等をドーピングしたコンタクト層を順次形成する。その上に形成したレジストパターンをマスクにしてドライエッチング法によって、ゲート電極の直上に半導体層及びコンタクト層の島を形成する。次に、その上に金属薄膜を成膜し、レジストパターンをマスクとしてウェットエッチング法によって、コンタクト層上にドレイン電極及びソース電極を形成する。次に、ドレイン電極及びソース電極間に露出しているコンタクト層と半導体層の表面部分30～50nmとをドライエッチング法によって除去する。次に、薄膜トランジスタアレイ全体を有機化合物のポリイミドや無機化合物のポリジシラザンを200℃で熱処理して得られる塗布型の保護絶縁膜または窒化シリコン等からなる無機絶縁膜及びそれらの積層膜からなる保護絶縁膜で被覆し、ソース電極部分にコンタクトホールを設ける。最後に透過型液晶表示装置の場合には画素部にITOなどの透明電極を、反射型液晶表示装置の場合には画素部にAlなどの反射電極を形成し、コンタクトホールを介してソース電極を接続して薄膜トランジスタアレイ基板が完成する。

【0008】

しかしながら、上記薄膜トランジスタにおいて保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いた場合、窒化シリコンを保護絶縁膜に用いた場合に比べて短時間で成膜できる為に生産性が向上し、低コスト化が可能であるが、液晶表示装置を長時間使用した場合、信号線金属層や半導体層

から保護絶縁膜に電荷の注入が生じ、その注入電荷の影響により薄膜トランジスタのオフ時におけるリーク電流（以下オフ電流と記す）が増加するいわゆるオフ電流不良が生じるという課題があった。

【 0 0 0 9 】

また、反射電極として用いる画素電極を薄膜トランジスタの上部に設けた場合、画素部の開口率が増加し、液晶表示装置の輝度は向上するが、画素電極の電位の影響により薄膜トランジスタのオフ電流が増加するという課題があった。

【 0 0 1 0 】

このような薄膜トランジスタのオフ電流が増加してしまう現象は、保護絶縁膜中の正に帯電した固定電荷や画素電極の電位の影響を受けて、半導体層の保護絶縁膜側表面から $1\text{ nm} \sim 30\text{ nm}$ の領域に生じるバンドベンディングの為に、その部分にチャネル（以下バックチャネルと記す）が形成されて、バックチャネルのリーク電流が増加するからである。このリーク電流を低減するには、バックチャネル領域において半導体のダングリングボンドの数を増加させることが有効であることが知られている。例えば、 Ar 等の不活性元素を用いたプラズマ処理を行い、バックチャネル界面付近にダメージを与え、 0.1 から 1.0 原子%の Ar をバックチャネル領域に含有させることにより、界面準位密度を増加させてオフ電流を低減する効果を得ている。しかし、その効果は不十分であり、バックゲートに 3.0 V の電圧を印加した際には、バックゲートをアースした際のオフ電流に比べて $2 \sim 3$ 桁高い。これは、プラズマ処理によってシリコン中の $\text{Si}-\text{H}$ 結合や $\text{Si}-\text{Si}$ 結合が切断されてダングリングボンドが生成されるが、大半がその後の熱処理過程で再結合することにより消滅してしまい、シリコン中に留まった Ar 原子によってダングリングボンド同志の再結合が妨げられる領域のダングリングボンドのみが残留するからである。この方法では、生成されるダングリングボンド数が少なく、薄膜トランジスタの保護絶縁膜として固定電荷量が多い低誘電率の有機膜を用いる場合や、反射電極が薄膜トランジスタを覆った場合には、オフ電流不良により表示装置の画質が劣化する課題があった。また、非晶質シリコンを乾式エッチングした後にヘリウムプラズマ工程を行うことにより、薄膜トランジスタの特性を向上させている。しかし、一般に知られている主にヘリウム

のラジカルで半導体表面を処理するヘリウムプラズマ工程では、薄膜トランジスタの保護絶縁膜として固定電荷量が多い低誘電率の有機膜を用いる場合や、反射電極が薄膜トランジスタを覆った場合には、オフ電流不良により表示装置の画質が劣化する課題があった。

【 0 0 1 1 】

本発明は、スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、ゲート電極と反対側の半導体層表面部分が多孔質の構造であることを特徴とした、アクティブマトリクス型表示装置を提供する。

【 0 0 1 2 】

薄膜トランジスタのオフ電流不良を従来技術からさらに低減させるためには、大幅にバックチャネル領域における半導体のダングリングボンドを増加させねばならない。そこで、本発明では半導体の表面に高密度に存在するダングリングボンドを利用する。バックチャネル領域における半導体の表面積を増加させるために、半導体層の表面を多孔質化した薄膜トランジスタ構造にした。多孔質部の深さは1 nm以上、30 nm以内である。

【 0 0 1 3 】

ここで、多孔質とは半導体に対して構成元素であるSiが抜けたことで形成される孔の占める割合が5%以上80%未満であること、また孔径（孔の半径）の平均値が5 nm以下であることと定義した。

【 0 0 1 4 】

また、多孔質部の深さが半導体層の表面から1 nm以上、30 nm以内とは、バックチャネル領域をカバーし、かつゲート絶縁膜側の半導体表面からなるフロントチャネルの伝導性に影響を及ぼさない程度であることを目安とした。

【 0 0 1 5 】

半導体層の表面を多孔質化する方法はいくつかある。

【 0 0 1 6 】

例えば、半導体層の表面に電界によって加速したイオンを照射することによって行う。照射するイオンとしては、孔のサイズを小さくするという理由から、原子半径が小さく、かつ不活性であるHeイオンが最適である。

【0017】

例えば、ゲート電極を陽極とし、プラチナを陰極として両極をフッ化水素酸中に浸し、両極間に通電する陽極化成法により多孔質化しても良い。この方法を用いる場合、半導体層は多結晶や単結晶である方が望ましい。

【0018】

例えば、分子量の異なる2種類の高分子を混合した自己組織化レジストを用いても良い。ソース・ドレイン電極間に露出した半導体の表面に自己組織化レジストを塗布し、アニールする。すると、分子量が小さい方の高分子が網目状に自己組織化する。この部分を選択的にエッチングすることにより、半導体表面に径が数nmの孔を形成し、多孔質化することもできる。

【0019】

以下、本発明の液晶表示装置の構成、作用、原理について説明する。

【0020】

孔の形状は生成方法によって異なる。半導体の表面にイオンを照射する場合、孔は不均一であるが球や円柱に近い形になるし、陽極化成法を用いる場合や自己組織化レジストを用いる場合、孔は円柱に近い形になる。

【0021】

単位体積あたりに占める孔の総表面積をS、単位体積あたりに占める孔の数をn、孔径の平均値をr、孔の体積密度をNとする。

【0022】

孔が球形であると近似した場合、以下の式が成り立つ。

【0023】

$$N = 4/3 \cdot \pi r^3 \cdot n \quad \dots \textcircled{1}$$

$$S = 4 \pi r^2 \cdot n \quad \dots \textcircled{2}$$

①式及び②式からnを消去してSについて整理すると、

$$S = 3N/r \quad \dots \textcircled{3}$$

また、孔が円柱形であると近似した場合においても同様に

$$S = 2N/r \quad \dots \textcircled{4}$$

が成り立つ。

【0024】

③式、④式から、孔が球に近い形であっても孔が円柱に近い形であっても単位体積あたりに占める孔の総表面積 S は孔の体積密度 N に比例し、孔径の平均値 r に反比例する。よって半導体表面に存在するダングリングボンドを効率よく利用するには、単位体積あたりに占める孔の総表面積 S をなるべく大きくするために、孔の体積密度 N を大きくし、孔径の平均値 r を小さくすれば良い。

【0025】

薄膜トランジスタの上に保護絶縁膜を介して第2のゲート電極（以下バックゲート電極と記す）を設け、バック電極に $-40\text{V} \sim +40\text{V}$ の電圧を印加して薄膜トランジスタのソース・ドレイン間に流れる電流のゲート電圧依存性（以下、 $I_d - V_g$ 特性と記す）を測定した。He イオンを半導体表面に照射して半導体表面を多孔質化した際に、処理条件を変えて孔径の平均値 r と孔密度 N を変化させたところ、

$$N/r \geq 8 \times 10^{-2} (\text{nm}^{-1}) \quad \dots \textcircled{5}$$

の条件を満たした際に、バックゲート電極に $-40\text{V} \sim +40\text{V}$ の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の10倍以下になることが分かった。

【0026】

単位面積あたりに存在する半導体の表面準位を D_i 、単位体積あたりに存在する半導体の欠陥準位を D_v とし、多孔質部において単位体積あたりに存在する半導体のダングリングボンド数と単位体積あたりに存在するバルクの半導体のダングリングボンド数との比を R とすると

$$R = S \cdot D_i / D_v \quad \dots \textcircled{6}$$

となる。文献 MARTIN J. POWELL: IEEE TRANCTIONS ON ELECTRON DEVICE, VOL.36, NO.12 P.2761(1989)によれば、例えばアモルファスシリコンの場合、表面に $2 \times 10^{12} (\text{cm}^{-2} \text{eV}^{-1})$ の表面準位が存在し、バルクに $1 \times 10^{16} (\text{cm}^{-3} \text{eV}^{-1})$

の欠陥準位が存在する。これらの値と③式及び⑤式を⑥式に代入すると、

$$R > 5 \times 10^2$$

となる。つまり、バックゲート電極に $-40\text{V} \sim +40\text{V}$ の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合の電流値の10倍以下になるためには、多孔質部のダングリングボンド数がバルク部のダングリングボンド数の 5×10^2 倍よりも増加させる必要がある。

【0027】

円柱形や球形の孔を半導体中に最密充填した場合、孔密度は80%未満であること、また、孔径を限りなく小さくしようとしても、製法上孔径の限界が1nm程度であることから、⑤式の条件を満たすためには孔の密度は5%以上、孔径は5nm以下であることが望ましい。

【0028】

上記の条件を満たした場合において、保護絶縁膜に固定電荷の影響が大きい塗布型の絶縁膜を用いた場合や、反射電極が薄膜トランジスタを覆った場合にも安定した特性が得られた。

【0029】

また、孔の一部もしくは全部が後に形成する保護絶縁膜によって埋められた場合でも、半導体と絶縁膜との界面にダングリングボンドが残留する為に同様の効果がある。

【0030】

本発明の薄膜トランジスタにおいて、保護絶縁膜に固定電荷の影響が大きい塗布型の絶縁膜を用いた場合や、反射電極が薄膜トランジスタを覆った場合にも安定した特性が得られた主な原因は、バックチャネル部のダングリングボンドが大幅に増加した為である。

【0031】

また、抵抗は電流経路の断面積に反比例することから、付加的な原因としてバックチャネルが多孔質化されたことにより電流経路の実効的な断面積が減少し、バックチャネルの抵抗が増大したということも挙げることができる。以下具体的な実施形態について述べる。

【0032】

(実施形態1)

図1は、本発明の第1の実施形態を示す薄膜トランジスタの断面構造である。本構造はゲート電極に対してソース・ドレイン電極が上部に位置するいわゆる逆スタガ構造を特徴とする。101は絶縁性ガラス基板、102がCrからなるゲート電極、103は窒化シリコンからなるゲート絶縁膜、104は表面の10nmから30nmの領域(104')が多孔質である例えばアモルファスシリコンからなる半導体層、105は例えば燐をドーピングした n^+ 型アモルファスシリコンからなるコンタクト層、106、107はCrからなるソース電極及びドレイン電極、108はポリイミドからなる保護絶縁膜である。上記構造のTFTは以下のように作成した。まずコーニング1737ガラス基板101上に厚さ約120nmのCr膜をスパッタリング法によって形成する。ホットエッチングによりCrをパターニングしてゲート電極102を形成する。その上に、プラズマ化学気相成長(CVD)法を用いて、以下のように薄膜を順次形成する。まず、 SiH_4 、 NH_3 、 N_2 等の混合ガスを用いて厚さ300nmの窒化シリコン膜からなるゲート絶縁膜103を形成する。その上に、例えば SiH_4 及び H_2 の混合ガスを用いて厚さ約150nmのアモルファスシリコンを、 SiH_4 及び PH_3 の混合ガスを用いて n^+ 型アモルファスシリコン膜を順次形成する。ホットエッチングにより n^+ 型アモルファスシリコン膜とアモルファスシリコン膜を同時に島状に加工することにより、半導体層104を形成する。この上にスパッタリング法を用いて形成した約120nmのCr膜を、ホットエッチングによりパターニングして、ソース電極106及びドレイン電極107を形成する。さらに、ソース／ドレイン電極間の n^+ 型アモルファスシリコン膜と燐が拡散している恐れのある半導体層の表面から50nmをエッチング除去することにより、ソース電極106及びドレイン電極107と半導体層104の間にコンタクト層105が形成される。その後、例えば本発明ではリアクティブイオンエッチング装置等を用いて、カソード電極上に基板を設置し、電力300W、圧力5Pa～20Pa条件下でHeイオンを露出した半導体層104の表面に5s以上照射する。この際、半導体層表面から1nmから30nmの領域は図2もしくは図6に示すように多

孔質化される。照射したHeイオンは原子半径が小さく軽いイオンであるため、その後の熱処理工程で脱離し、アモルファスシリコン中に残留する量は0.01原子%以上0.1原子%未満である。最後にTFT全体を覆うように、スピニング等の低コストな塗布法で形成できる保護絶縁膜108、たとえば厚さ1 μ mのポリイミドからなる有機絶縁膜や、ポリジシラザンを200℃で熱処理して得られる塗布型酸化シリコン膜を形成して薄膜トランジスタが完成する。尚、本実施形態では半導体層をアモルファスシリコンで構成したが、微結晶シリコン、多結晶シリコン、または単結晶シリコンでも構わない。また、保護絶縁膜はSiH₄、NH₃、N₂等の混合ガスを用いたプラズマCVD法によって堆積した厚さ300nmの窒化シリコン膜をホトエッチングによりパターン加工して形成しても構わない。前記の条件で多孔質化した半導体部の孔径を断面TEM (Transmission Electron Microscopy) で、孔の体積密度を分光エリプソメトリスペクトルにより測定した。また、薄膜トランジスタ上に保護絶縁膜を介してバックゲートを設けてId-Vg特性についても測定した。縦軸にバックゲート電極に+40Vの電圧を印加した際のソース・ドレイン間の電流値とバックゲート電極を設置しない場合のソース・ドレイン間の電流値の比を、横軸にN/rを表したグラフが図3である。N/r $\geq 8 \times 10^{-2}(\text{nm}^{-1})$ を満たすと、バックゲート電極に+40Vの電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合の値の10倍以下になった。

【0033】

図4に、本実施形態によって作成したN/rの値が $8 \times 10^{-2}(\text{nm}^{-1})$ の薄膜トランジスタのバックゲート電極に-40V~+40Vの電圧を印加した際のId-Vg特性をします。図5は本実施形態の処理を行わなかった場合(比較例)の薄膜トランジスタのバックゲート電極に-40V~+40Vの電圧を印加した際のId-Vg特性を示す図である。

【0034】

(実施形態2)

図6は本発明の第2の実施形態を示す薄膜トランジスタにおける半導体部の断面構造である。半導体表面の多孔質部の製法と形状以外は図1に示す第1の実施

形態を示す薄膜トランジスタと同じ構造及びプロセスである。ソース電極 1 0 6 及びドレイン電極 1 0 7 と半導体層 1 0 4 の間にコンタクト層 1 0 5 が形成した後に、半導体表面の多孔質部は以下のようにして形成した。ゲート電極を陽極とし、プラチナを陰極として両極を、濃度 2 0 体積%のフッ化水素酸中に浸し、陽極電流密度が $1 \text{ A} / \text{d m}^2$ となるように両極間に通電した。5 秒間通電することにより、半導体層表面から 3 0 n m の領域を多孔質化した。

【 0 0 3 5 】

(実施形態 3)

半導体表面の多孔質部の製法以外は図 1 に示す第 1 の実施形態を示す薄膜トランジスタと同じ構造及びプロセスである。ソース電極 1 0 6 及びドレイン電極 1 0 7 と半導体層 1 0 4 の間にコンタクト層 1 0 5 を形成した後に、図 6 のような半導体表面の多孔質部を以下のようにして形成する。

【 0 0 3 6 】

ソース・ドレイン電極間に露出した半導体の表面に分子量が異なる 2 種類の高分子、例えばポリスチレンとポリイソプレンとをリビング重合させた自己組織化レジストを塗布する。ポリイソプレンの分子量をポリスチレンの分子量に対して 0.3 以下にすると、分子量の小さいポリイソプレンが球形に自己組織化する。自己組織化した部分をオゾンガスに曝して選択的に取り除き、数 n m の穴が開いたレジストパターンを形成する。この穴の下の半導体のみを選択的にドライエッチングすることにより、半導体表面を孔径が数 n m の孔で多孔質化する。

【 0 0 3 7 】

(実施形態 4)

図 7 に、本発明の薄膜トランジスタをスイッチング素子に用いた、アクティブマトリクス型表示装置における T F T 基板上の画素部の一実施形態の平面構造、及び平面構造上に示した点線 (A) - (A') で画素部を切断した断面構造の一例を示す。対向基板は図示していない。1 0 1 は絶縁性ガラス基板、1 0 2 は Cr からなるゲート電極 (走査配線)、1 0 3 は窒化シリコンからなる第 1 のゲート絶縁膜、1 0 4 は表面の 1 n m から 3 0 n m の領域に多孔質部 (1 0 4') を有するアモルファスシリコンからなる半導体層、1 0 5 はリンをドーピングした n^+

型アモルファスシリコンからなるコンタクト層、106、107はCrからなるソース電極及びドレイン電極（信号配線）、108はポリイミドからなる保護絶縁膜、701は保持容量電極、702は画素電極、703はコンタクトホールである。

【0038】

TFT基板は、例えば次のようにして作成する。まず、コーニング1737ガラス基板101上に厚さ約120nmのCr膜をスパッタリング法により形成する。ホットエッチングによりこのCr膜をパターニングして走査配線となるゲート電極102及び保持容量電極701を形成する。その上にプラズマ化学気相成長（CVD）法により、厚さ300nmの窒化シリコン層、厚さ200nmのアモルファスシリコン層、厚さ30nmのリンが添加された n^+ 型アモルファスシリコン層を連続形成する。そして、ホットエッチングにより n^+ 型アモルファスシリコン層、アモルファスシリコン層を同時に島加工することにより、半導体層104を形成する。

【0039】

この上にスパッタリング法を用いて形成した厚さ120nmのCr膜をホットエッチングによりパターニングして、ソース電極106、及び信号配線107を形成する、さらに、ソース電極106及びドレイン電極107で覆われていない半導体層104上の n^+ 型アモルファスシリコン層、ソース・ドレイン電極間の n^+ 型アモルファスシリコン膜とリンが拡散している恐れのある半導体層の表面から50nmをエッチング除去することにより、ソース電極106、ドレイン電極107と半導体層104の間にコンタクト層105を形成する。次に、実施形態1から実施形態3に記されたいずれかの方法で、ソース電極106及びドレイン電極107で覆われていない半導体層104の表面の1nmから30nmを多孔質化する。さらにこの上にスピンコーティング法により厚さ1 μ mのポリイミドからなる保護絶縁膜108を形成する。また、保護絶縁膜は SiH_4 、 NH_3 、 N_2 等の混合ガスを用いたプラズマCVD法によって堆積した厚さ300nmの窒化シリコン膜でも構わない。ホットエッチングにより保護絶縁膜108及びゲート絶縁膜103にコンタクトホール703を形成した後に、スパッタリング法に

より、例えば厚さ140nmのAl膜を形成後、ホットエッチングに前記Al膜をパターニングして、画素電極702を形成する。また、このパターニングの際に、画素電極に光透過用の穴を形成してもよい。

【0040】

画素電極702とソース電極106はコンタクトホール703を介して接続される。

【0041】

次にスピニング法により厚さ200nmの配向膜を形成する。以上により、TFT基板が完成する。

【0042】

図7では、薄膜トランジスタと画素電極の一部が保護絶縁膜を介して重畳した構造になっている。これにより、液晶表示装置の輝度が向上する。

【0043】

図7において、図示していない対向基板は次のようにして作成する。まず、コーニングガラス1737からなる基板の上に、スピニング法により厚さ500nmのカラーフィルタを形成する。その上に、スピニング法により厚さ500nmの保護絶縁膜及び厚さ200nmの配向膜を形成する。

【0044】

薄膜トランジスタの対向基板は、その配向膜の表面を配向処理した後に、酸化シリコンからなる直径約4 μ mのビーズを挟持するように対向させて形成したセルギャップ間に液晶組成物を封入して液晶層を形成する。最後に、薄膜トランジスタ基板及び対向基板の表面に偏光板を貼り付けて、液晶パネルが完成する。

【0045】

この方法で作成した薄膜トランジスタのソース電極106と画素電極402を切断し、画素電極402に-40Vから40Vの電圧を印加した際の、 I_d - V_g 特性測定は図5と同様であった。バックゲートに-40V~+40Vの電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の10倍以下になり、液晶表示装置も良好な表示特性を示した。

【0046】

(実施形態5)

図8に、本発明の薄膜トランジスタをスイッチング素子に用いた、アクティブマトリクス型表示装置におけるTFT基板上の画素部の一実施形態の平面構造、及び平面構造上に示した点線(A) - (A')で画素部を切断した断面構造の一例を示す。対向基板は図示していない。101は絶縁性ガラス基板、102はCrからなるゲート電極(走査配線)、103は窒化シリコンからなる第1のゲート絶縁膜、104は表面の1nmから30nmの領域に多孔質部(104')を有するアモルファスシリコンからなる半導体層、105は磷をドーブした n^+ 型アモルファスシリコンからなるコンタクト層、106、107はCrからなるソース電極及びドレイン電極(信号配線)、108はポリイミドからなる保護絶縁膜である。

【0047】

TFT基板は、例えば次のようにして作成する。まず、コーニング1737ガラス基板101上に厚さ約120nmのCr膜をスパッタリング法により形成する。ホットエッチングによりこのCr膜をパターンングして走査配線となるゲート電極102を形成する。その上にプラズマ化学気相成長(CVD)法により、厚さ300nmの窒化シリコン層、厚さ200nmのアモルファスシリコン層、厚さ30nmの磷が添加された n^+ 型アモルファスシリコン層を連続形成する。そして、ホットエッチングにより n^+ 型アモルファスシリコン層、アモルファスシリコン層を同時に島加工することにより、半導体層104を形成する。

【0048】

この上にスパッタリング法を用いて形成した厚さ120nmのCr膜をホットエッチングによりパターンングして、ソース電極106、及び信号配線107を形成する、さらに、ソース電極106及びドレイン電極107で覆われていない半導体層104上の n^+ 型アモルファスシリコン層、ソース・ドレイン電極間の n^+ 型アモルファスシリコン膜と磷が拡散している恐れのある半導体層の表面から50nmをエッチング除去することにより、ソース電極106、ドレイン電極107と半導体層104の間にコンタクト層105を形成する。次に、実施形態

1 から実施形態 3 に記されたいずれかの方法で、ソース電極 1 0 6 及びドレイン電極 1 0 7 で覆われていない半導体層 1 0 4 の表面の 1 n m から 3 0 n m を多孔質化する。さらにこの上にスピンコーティング法により厚さ 1 μ m のポリイミドからなる保護絶縁膜 1 0 8 を形成する。また、保護絶縁膜は SiH_4 , NH_3 , N_2 等の混合ガスを用いたプラズマ C V D 法によって堆積した厚さ 3 0 0 n m の窒化シリコン膜でも構わない。スパッタリング法により、例えば厚さ 1 4 0 n m の C r 膜を形成後、ホットエッチングに前記 C r 膜をパターンニングして、共通電極 8 0 1 を形成する。

【 0 0 4 9 】

次にスピンコーティング法により厚さ 2 0 0 n m の配向膜を形成する。以上により、T F T 基板が完成する。

【 0 0 5 0 】

図 8 では、薄膜トランジスタと共通電極の一部が保護絶縁膜を介して重畳した構造になっている。これにより、液晶表示装置の輝度が向上する。

【 0 0 5 1 】

図 8 において、図示していない対向基板は次のようにして作成する。まず、コーニングガラス 1 7 3 7 からなる基板上に、スピンコーティング法により厚さ 5 0 0 n m のカラーフィルタを形成する。その上に、スピンコーティング法により厚さ 5 0 0 n m の保護絶縁膜及び厚さ 2 0 0 n m の配向膜を形成する。

【 0 0 5 2 】

薄膜トランジスタの対向基板は、その配向膜の表面を配向処理した後に、酸化シリコンからなる直径約 4 μ m のビーズを挟持するように対向させて形成したセルギャップ間に液晶組成物を封入して液晶層を形成する。最後に、薄膜トランジスタ基板及び対向基板の表面に偏光板を貼り付けて、液晶パネルが完成する。

【 0 0 5 3 】

この方法で作成した薄膜トランジスタの共通電極 8 0 1 に - 4 0 V から 4 0 V の電圧を印加した際の、 $I_d - V_g$ 特性測定は図 5 と同様であった。バックゲートに - 4 0 V ~ + 4 0 V の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の 1 0 倍以下

になり、液晶表示装置も良好な表示特性を示した。

【0054】

以上によれば、保護絶縁膜中の蓄積電荷や配線及び画素電極の電位の影響によるバックチャネルリーク電流を抑制できる薄膜トランジスタを提供できるため、保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いたり、反射電極として用いる画素電極を薄膜トランジスタの上部に設けた高性能・高生産性アクティブマトリクス型表示装置を提供できる効果がある。

【0055】

【発明の効果】

本発明によれば、高性能・高生産性のアクティブマトリクス型表示装置を提供できる効果がある。

【図面の簡単な説明】

【図1】

本発明の一実施形態の薄膜トランジスタの断面構造図である。

【図2】

本発明の一実施形態の薄膜トランジスタにおける半導体多孔質部の断面斜視図である。

【図3】

バックゲート電極に+40Vの電圧を印加した際のソース・ドレイン間の電流値とバックゲート電極を設置しない場合の電流値との比と N/r との関係を示す図である。

【図4】

本発明の実施のけい液晶表示装置における薄膜トランジスタの I_d-V_g 特性のバックゲート電圧依存性を示す図である。

【図5】

比較例の液晶表示装置における薄膜トランジスタの I_d-V_g 特性のバックゲート電圧依存性を示す図である。

【図6】

本発明の一実施形態の薄膜トランジスタにおける半導体多孔質部の断面斜視図

である。

【図 7】

本発明の液晶表示装置における画素部の平面構造及び断面構造の一実施形態である。

【図 8】

本発明の液晶表示装置における画素部の平面構造及び断面構造の一実施形態である。

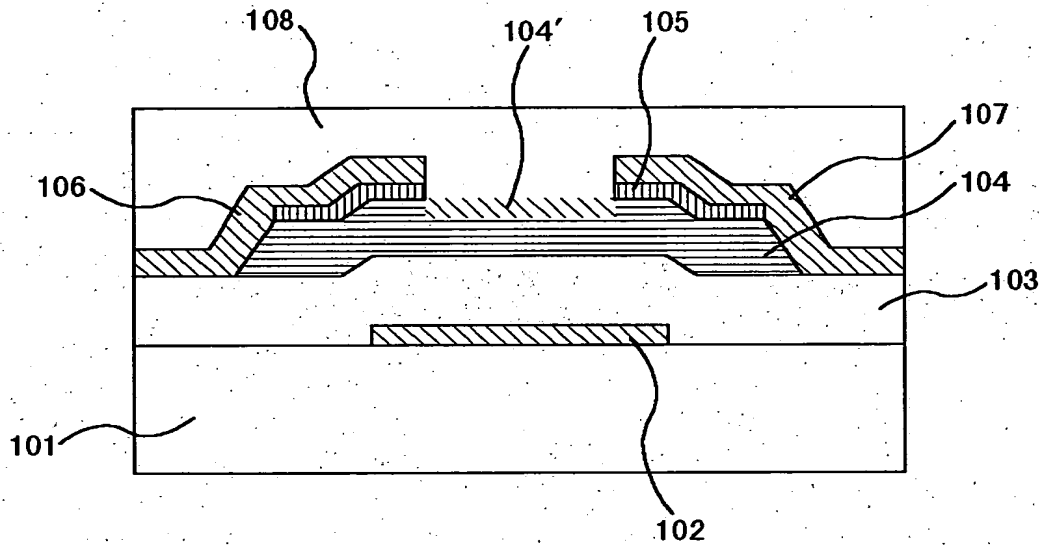
【符号の説明】

1 0 1 … ガラス基板、1 0 2 … ゲート電極、1 0 3 … ゲート絶縁層、1 0 4 … 半導体層、1 0 4 ′ … 半導体層表面の多孔質部、1 0 5 … コンタクト層、1 0 6 … ソース電極、1 0 7 … ドレイン電極、1 0 8 … 保護絶縁層、1 0 9 … 孔、7 0 1 … 保持容量電極、7 0 2 … 画素電極、7 0 3 … コンタクトホール、8 0 1 … 共通電極。

【書類名】 図面

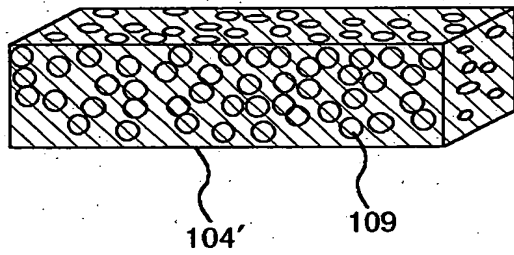
【図 1】

図 1



【図 2】

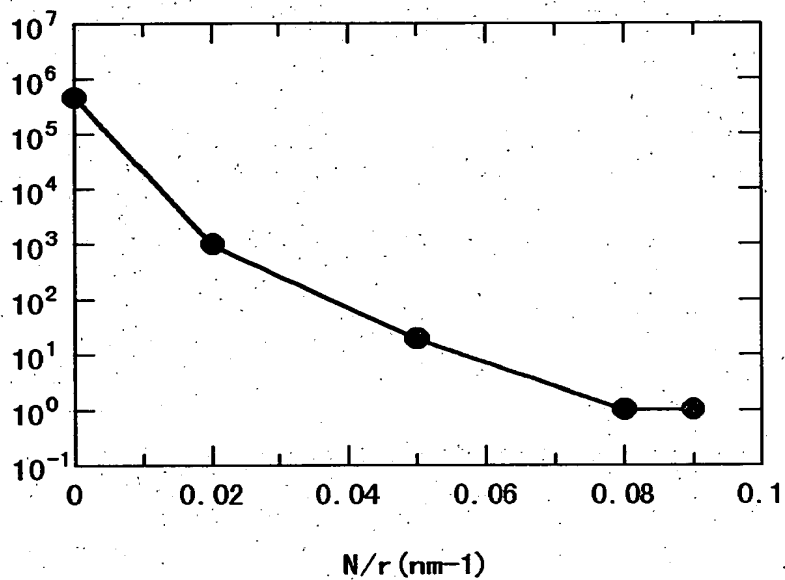
図 2



【図 3】

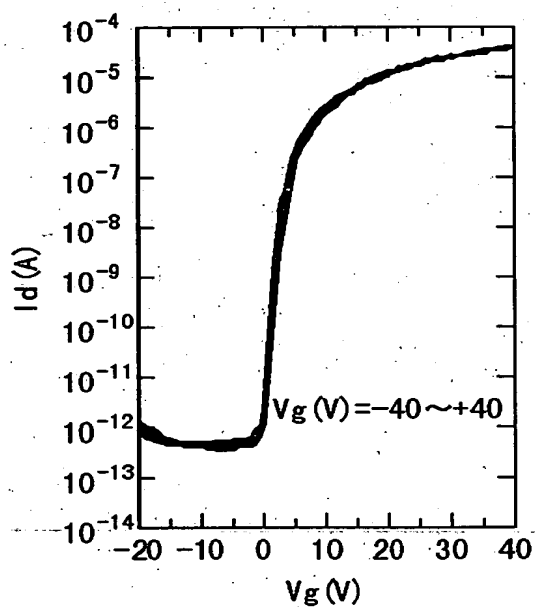
図 3

バッジ-ト電極電圧40Vとバッジ-ト電極設置無し
の場合におけるソース・ドレイン間の電流値比



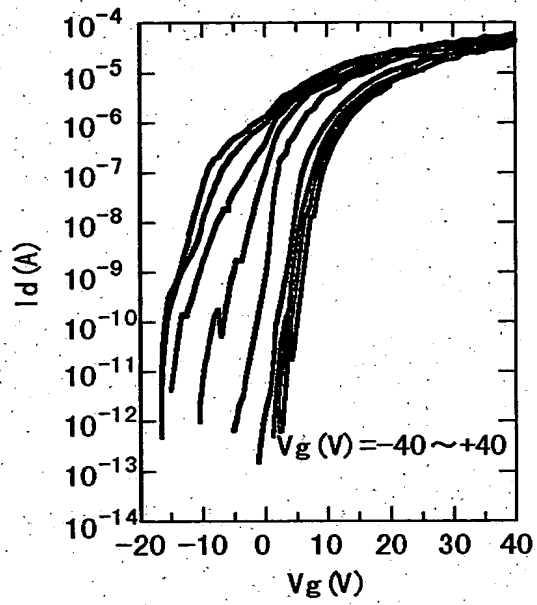
【図 4】

図 4



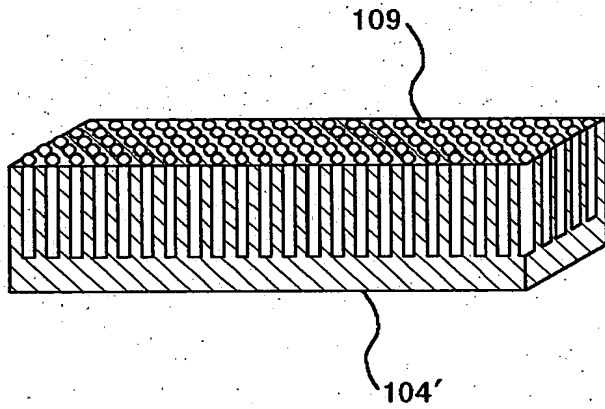
【図 5】

図 5



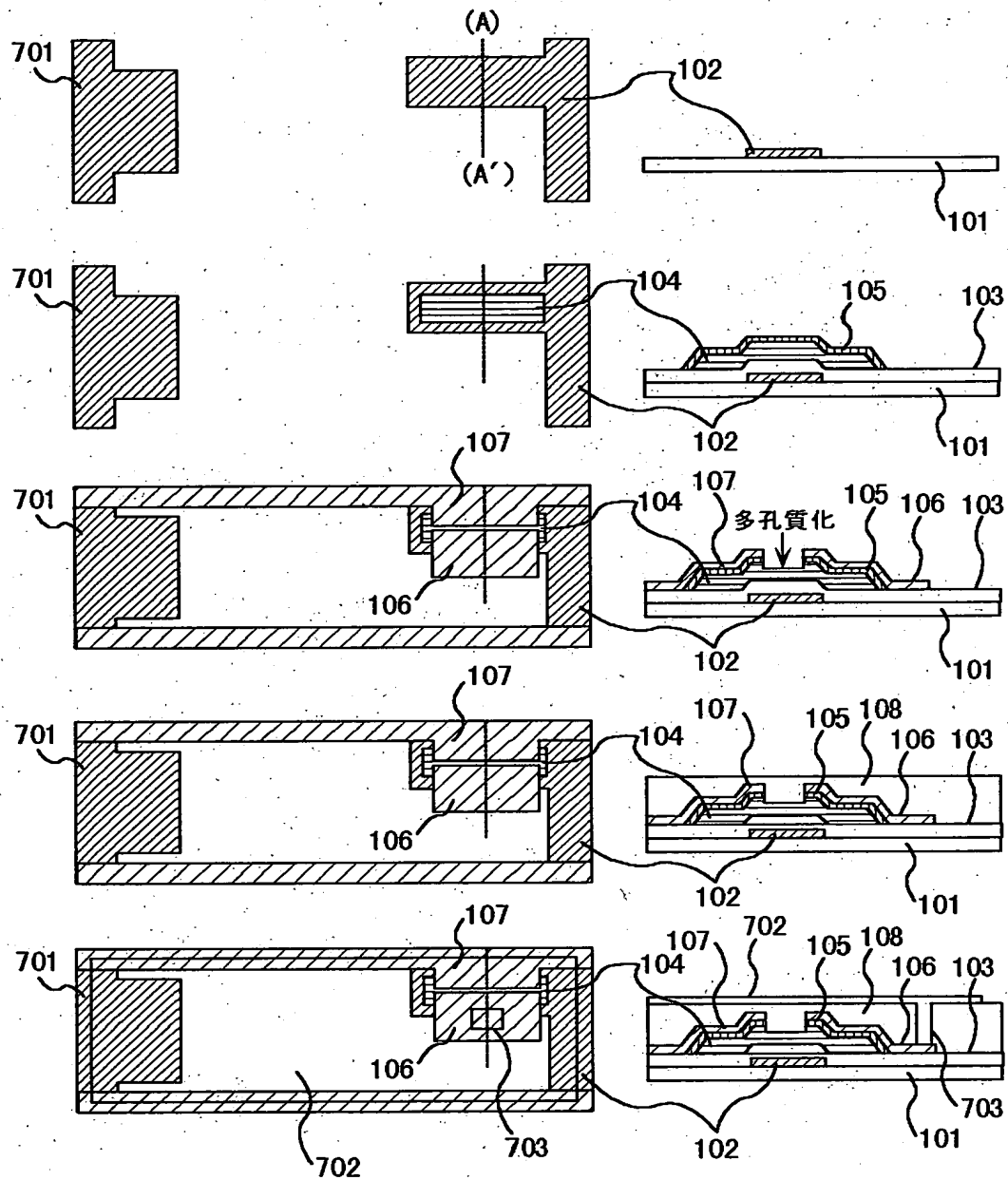
【図 6】

図 6



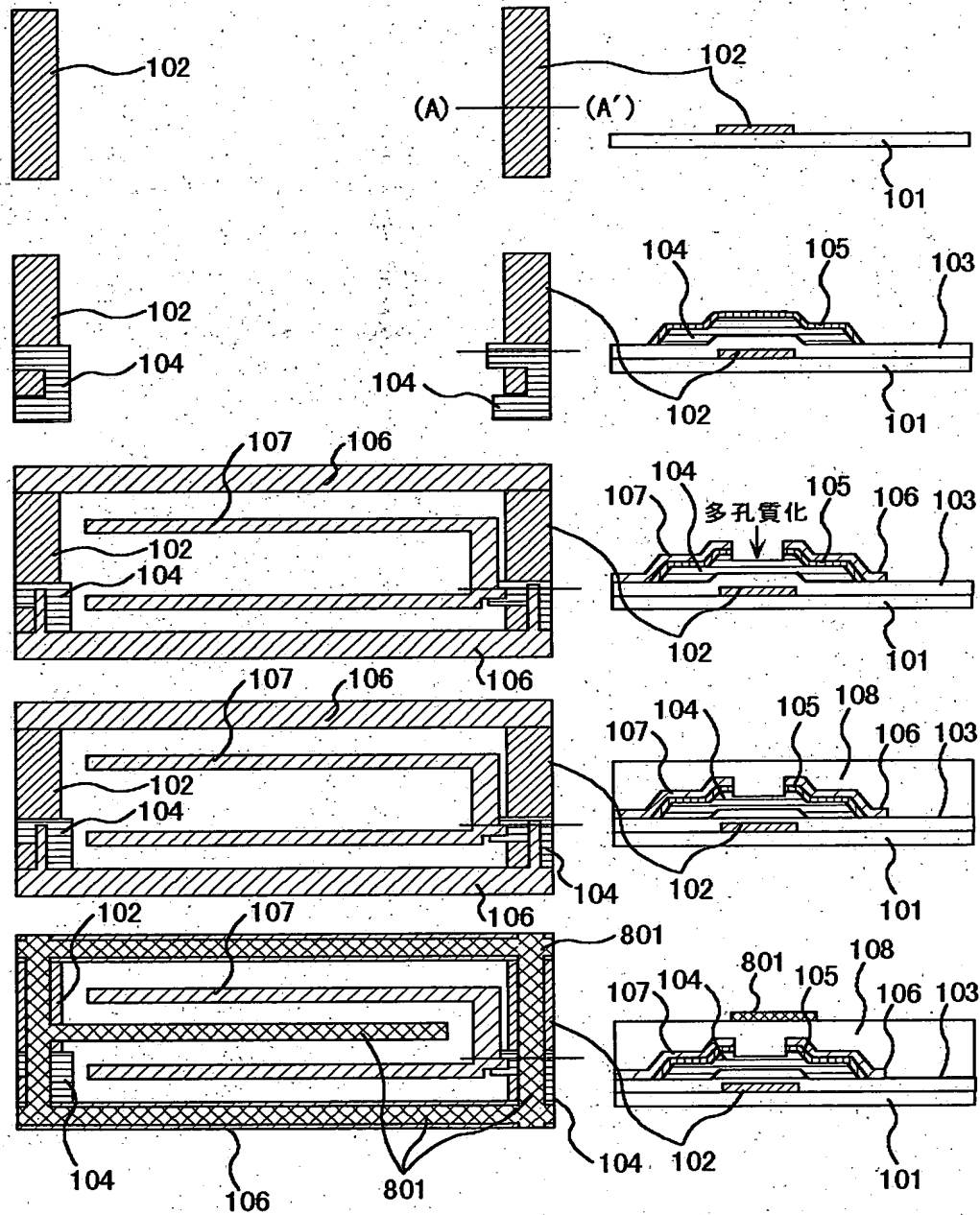
【図 7】

図 7



【図 8】

図 8



【書類名】 要約書

【要約】

【課題】

有機保護絶縁膜及び画素電極を薄膜トランジスタ上に配置した場合にも低オフ電流で安定動作する薄膜トランジスタ及びそれを用いた液晶表示装置の提供。

【解決手段】

スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極及びソース電極を順次積層し、前記保護絶縁膜側の半導体層表面が多孔質であることを特徴とする。

【選択図】 図1

特2001-106611

認定・付加情報

特許出願の番号	特願2001-106611
受付番号	50100500923
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 4月 6日

<認定情報・付加情報>

【提出日】 平成13年 4月 5日

次頁無

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所